

출력 일자: 2003/7/1

발송번호 : 9-5-2003-025228008

수신 : 서울 종로구 관훈동 151-8 동덕빌딩 8층

발송일자 : 2003.06.30

김윤배 귀하

제출기일 : 2003.08.31

110-300

특허청 의견제출통지서

출원인 명칭 가부시끼가이샤 도시바 (출원인코드: 519980849672)

주소 일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

대리인 성명 김윤배 외 1명

주소 서울 종로구 관훈동 151-8 동덕빌딩 8층

출원번호 10-2001-0041156

발명의 명칭 반도체장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 불허하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매월 1월 단위로 연장할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원발명 청구항 제1항의 요지는 배선금속에 기인하는 배선저항 및 자기 인덕턴스를 감소시키기 위해 서로 겹쳐진 전력단자를 갖추고 1개의 반도체칩이 끼워지는 형식으로 전기접속되게 하는 기술의 제공에 있으나, 이는 일본공개특허공보 평6-151685(1994.5.31.)에서 인접하는 반도체칩과 공통리드 와이어를 이용하여 전기접속하는 복수의 반도체칩을 실장하는 기술로부터 본원의 기술분야에서 통상의 지식을 가진 자의 수준에서 용이하게 발명할 수 있습니다.

[참무]

첨부1 일본공개특허공보 평06-151685호(1994.05.31) 1부 공.

2003.06.30

특허청

심사4국

반도체2심사담당관실

심사관 유환철



<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위이내에서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5743 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 무조리신고센터



Mailing Number: 9-5-2003-025228008
Mailed Date: June 30, 2003
Filing Due Date: August 31, 2003

NOTIFICATION FOR FILING OPINION

Applicant: name: Kabushiki Kaisha Toshiba

Application No.: 10-2001-0041156

Title of Invention: A semiconductor device

As the result of examination of the present application, the following reasons for rejection have been found and notified herein under Section 63 of the Patent Law. Any opinion about the rejection [Form 25-2 attached to the Regulations under the Patent Law] or any amendment [Form 5 attached to the Regulations under the Patent Law] must be filed by the above date. (The above date is extensible by one month for each request. No notification of allowing extension of time will be issued.)

[Reason]

Regarding the invention described in the claim 1 of the present application, in the technical field the invention belonged to before this application, a person skilled in the art can easily provide the invention using the references below. Therefore, the present invention is unpatentable under the provision of the main sentence of Section 29 (2) of the Patent Law.

[Remarks]

The general description of claim 1 of the present application is to provide a technology with electric terminals, which overlap one another, in order to decrease self-inductance and wiring resistance due to a wiring metal, and to electrically connect a semiconductor chip so that it is sandwiched. Jpn. Pat. Appln. KOKAI Publication No. 6-151685 (May 31, 1994) discloses a technology using the same lead wire as an adjacent semiconductor chip and packaging a plurality of semiconductor chips which are electrically connected. Therefore, a

person skilled in the technical field of the present application can easily provide the invention by using the reference.

[Attachment]

Jpn. Pat. Appln. KOKAI Publication No. 06-151685 (May 31, 1994)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151685

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 23/50	X	9272-4M		
	S	9272-4M		
	Y	9272-4M		
21/56	H	8617-4M		

H 0 1 L 23/ 52

A

審査請求 未請求 請求項の数3(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-295134

(22)出願日 平成4年(1992)11月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 道井 一成

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72)発明者 中川 興一

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(74)代理人 弁理士 曾我 道照 (外6名)

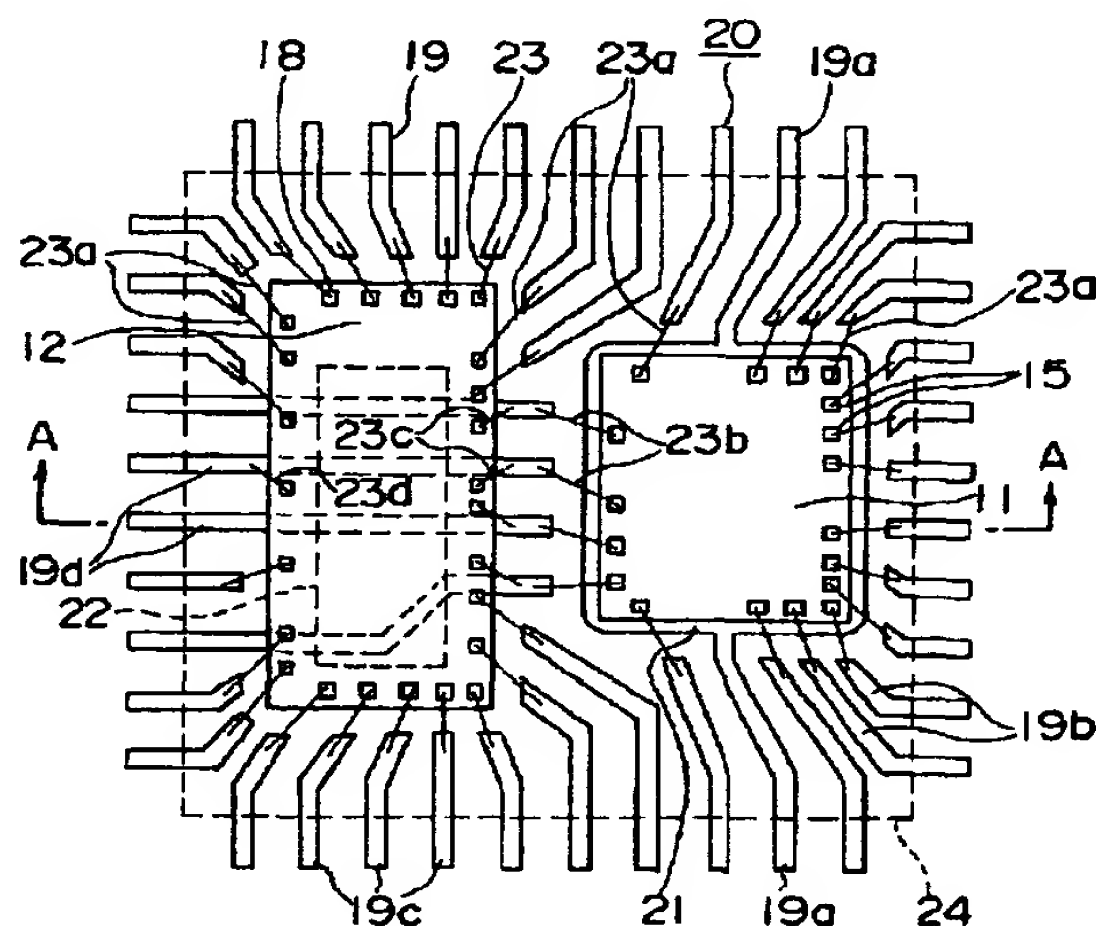
(54)【発明の名称】 MCP半導体装置

(57)【要約】

【目的】 リード引き回し及びピン接続の自由度が増大し、半導体素子間の相互接続及び信頼性が向上したMCP半導体装置を提供することを目的とする。

【構成】 リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の一側縁側から他の側縁側にまで延ばされて、リードと半導体素子とが立体交差しており、複数の半導体素子の内部電極をボンディングワイヤによって共通のリードに接続されている。隣接する半導体素子の内部電極間をTABテープにより互いに接続する。

【効果】 リード引き回し自由度が高くなる。内部電極間の接続部及び半導体チップ自体の信頼性が向上し、また半導体素子の隣接していない側縁上の内部電極間を相互接続することもでき、リードの引き回しの自由度が極めて高くなる。



1

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 主面を持ち、上記第 1 主面上に多数の内部電極を有する複数の半導体素子と、複数のリードを有して上記半導体素子を搭載するリードフレームと、上記半導体素子の内部電極を上記リードフレームの前記リードに電気的に接続するボンディングワイヤと、上記半導体素子、上記リードの一部及び上記ボンディングワイヤを封止する封止樹脂とを備えた MCP 半導体装置に於いて、上記リードの一部が、少なくとも一つの上記半導体素子の上記主面に接触せずに上記半導体素子の一側縁側から他の側縁側にまで延びたことを特徴とする MCP 半導体装置。

【請求項 2】 第 1 及び第 2 主面を持ち、上記第 1 主面上に多数の内部電極を有する複数の半導体素子と、複数のリードを有して上記半導体素子を搭載するリードフレームと、上記半導体素子の内部電極を上記リードフレームの上記リードに電気的に接続するボンディングワイヤと、上記半導体素子、上記リードの一部及び上記ボンディングワイヤを封止する封止樹脂とを備えた MCP 半導体装置に於いて、上記リードの一部が、少なくとも一つの上記半導体素子の上記主面に接触せずに上記半導体素子の一側縁側から他の側縁側にまで延び、上記複数の半導体素子の上記内部電極のうちのいくつかは、上記ボンディングワイヤによって共通のリードに接続されたことを特徴とする MCP 半導体装置。

【請求項 3】 多数の内部電極を有する複数の半導体素子と、リードを有してこれら半導体素子を搭載するリードフレームと、上記半導体素子の内部電極を上記リードフレームの前記リードに電気的に接続するボンディングワイヤと、上記半導体素子、上記リードの一部及び上記ボンディングワイヤを封止する封止樹脂とを備えた MCP 半導体装置に於いて、上記複数の半導体素子のうち隣接する半導体素子の上記内部電極間を TAB テープにより互いに接続したことを特徴とする MCP 半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数の半導体素子を単一のパッケージ内に収納したマルチ・チップ・パッケージ (MCP) 半導体装置に関するものである。

【0002】

【従来の技術】 電子システムの高密度化や高速化を図るためには、半導体装置の 1 チップ化が望ましいが、新しいチップを設計開発するためには長い期間が必要であるので、納品までに長期間が必要であり、また、アナログ回路やデジタル回路の組み合わせを単一のチップ内で行うためには、電気的特性及びウエハプロセスに解決しなければならない問題点が多数ある。このため、システム・オン・チップの代わりに、複数の既存のチップを 1 つのパッケージ内に収納するマルチ・チップ・パッケージ (MCP) 方式の半導体装置が増えてきている。

2

【0003】 従来の MCP 方式の半導体装置に於いては、セラミック基板あるいはプリント基板上に複数のチップを取り付け、それをリードフレームに乗せてトランスファモールドする方法があるが、高価なセラミック基板やプリント基板を用いるために装置のコストが大きくなるという問題がある。

【0004】 別の従来の MCP 方式の半導体装置に於いては、図 1 4 及び図 1 5 に示す如く複数の素子がリードフレームに直接取り付けられている。即ち、これらの図に於いて、半導体装置はそれぞれ 2 本のリード 1 を有する略々矩形の 2 つのダイパッド 2 上にそれぞれ設けられた半導体素子 3 を備えている。ダイパッド 2 は 2 つの辺を並べて配置されて、その周囲には多数のリード 4 が設けられており、リード 4 の内端は半導体素子 3 上の電極 5 にボンディング・ワイヤ 6 により接続されている。図 1 6 に示す如く、2 つの半導体素子 3 の隣接の辺上の電極 5 は互いにボンディングワイヤ 7 により接続され、もってリード 4 の数を低減し、半導体装置を小型化し、実装基板を簡素化している。このような構成の全体が、リード 4 の外側部分を除いて封止樹脂 8 により封止されている。

【0005】

【発明が解決しようとする課題】 このような従来の MCP 半導体装置に於いては、リード 4 の引き回しがダイパッド 2 の周辺に於いてしかできないので、半導体素子 3 上の電極 5 とリード 4 との接続が自由には行えずに必要なリード 4 の数及び長さが大きくなり、MCP 半導体装置全体の大きさも大きくなってしまふと共にリード・インダクタンスが比較的大きくなってしまふ。

【0006】 また、2 つの半導体素子 3 の電極 5 間は、図 1 6 に示す如きボンディング・ワイヤ 7 により接続されているので、ボンディングワイヤ 7 を切断するステッチ・ボンド側 9 については電極 5 を介して半導体素子 3 が受ける機械的ストレスが大きく、半導体素子 3 の信頼性が低下してしまふ。また、2 つの半導体素子 3 上の電極 5 のうち相互に接続できるものは、半導体素子 3 の隣接する辺に沿った電極 5 だけである。

【0007】 本発明は上述の如き従来のものの課題を解決するためになされたもので、リードの引き回しの自由度を向上させてピン接続の自由度を増大させ、また半導体チップ間の相互接続及び半導体素子の信頼性を向上させた MCP 半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 請求項 1 記載の発明によれば、第 1 及び第 2 主面を持ち、第 1 主面上に多数の内部電極を有する複数の半導体素子と、複数のリードを有して半導体素子を搭載するリードフレームと、半導体素子の内部電極をリードフレームの前記リードに電気的に接続するボンディングワイヤと、半導体素子、リードの一部及びボンディングワイヤを封止する封止樹脂とを備

3

えたMCP半導体装置に於いて、リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の側縁側から他の側縁側にまで延びたMCP半導体装置が得られる。

【0009】請求項2記載の発明によれば、リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の側縁側から他の側縁側にまで延び、複数の半導体素子の内部電極のうちのいくつかは、ボンディングワイヤによって共通のリードに接続されたMCP半導体装置が得られる。

【0010】請求項3記載の発明によれば、複数の半導体素子のうち隣接する半導体素子の内部電極をTABテープにより互いに接続したMCP半導体装置が得られる。

【0011】

【作用】請求項1記載の発明によれば、リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の側縁側から他の側縁側にまで延びているため、リードと半導体素子とが立体交差することになり、リードの引き回しの自由度が極めて高くなり、ノイズおよびリード・インダクタンスを低減したMCP半導体装置が得られる。

【0012】請求項2記載の発明によれば、複数の半導体素子の内部電極のうちのいくつかは、ボンディングワイヤによって共通のリードに接続されているので、半導体素子の内部電極をこのリードを介して互いに接続できるので、これら内部電極間の接続部及び半導体素子自体の信頼性が向上し、また半導体素子の隣接していない側縁上の内部電極間を相互接続することもでき、リードの引き回しの自由度が極めて高くなる。

【0013】請求項3記載の発明によれば、複数の半導体素子のうち隣接する半導体素子の内部電極間をTABテープにより互いに接続しているため、これら内部電極間の接続部及び半導体素子自体の信頼性が向上したMCP半導体装置が得られる。

【0014】

【実施例】

実施例1. 図1は本発明の第1の実施例のMCP半導体装置を平面図で示し、図2は図1のA-A線に沿った断面図であり、本発明のMCP半導体装置は、第1半導体素子11及び第2半導体素子12を備えている。第1半導体素子11は矩形の第1主面13と第2主面14（図2）とを持ち、第1主面13上にはその側縁に沿って多数の内部電極15が配置され、第2半導体素子12は同様に矩形の第1主面16と第2主面17（図2）とを持ち、第1主面16上にはその側縁に沿って多数の内部電極18が配置されている。

【0015】本発明のMCP半導体装置はまた、多数のリード19を有してこれら半導体素子11及び12を並べて搭載するリードフレーム20を備えている。リード

4

フレーム20は、第1半導体素子11をその上に搭載するためのダイパッド21と、ダイパッド21から外方向に延びた第1のリード19aと、ダイパッド21から離れてはいるがダイパッド21の側縁近傍から外方向に延びた第2のリード19bと、第2半導体素子12を搭載すべき位置である搭載部を離れて囲み、第2半導体素子12の側縁近傍から外方向に延びた第3のリード19cと、ダイパッド21の側縁近傍から第2半導体素子12の搭載部の下方を通して外方向に延びた第4のリード19dとを備えている。第4のリード19d上には適当な絶縁層22が設けられていて、その上に固着された第2半導体素子12を第4のリード19dに対して絶縁している。換言すれば、リード19の一部、即ち第4のリード19dは、第2半導体素子12の第1主面16にも第2主面17にも接触せずに第2半導体素子12の側縁側（図1で右側）から他側縁側（図1で左側）にまで延びている。

【0016】本発明のMCP半導体装置は更に、第1及び第2半導体素子11及び12の内部電極15及び18をリードフレーム20のリード19に電気的に接続するボンディングワイヤ23を備え、更にこれら半導体素子11及び13、リード19のインナーリード部分に相当する一部及びボンディングワイヤ23を封止して樹脂パッケージを形成する封止樹脂24をも備えている。図1から明らかな通り、ボンディングワイヤ23の内の大部分は、内部電極15あるいは18から第2のリード19bあるいは第3のリード19cの内端にまで延びた第1のボンディングワイヤ23aであるが、その他は、第1半導体素子11の図1で左側側縁部の内部電極15から第4のリード19dの内端にまで延びた第2のボンディングワイヤ23bと、第2半導体素子12の右側側縁部の内部電極18から同じ第4のリード19dの内端にまで延びた第3のボンディングワイヤ23cと、第2半導体素子12の左側側縁部の内部電極18から同じ第4のリード19dにまで延びた第4のボンディングワイヤ23dとからなっている。このように、半導体素子11及び12の内部電極15及び18のうちの第2乃至第4のボンディングワイヤ23b、23c及び23dは、第4のリード19dに共通に接続されており、この意味で第4のリード19dは共通のリードであり、隣接する側縁部の内部電極15及び18は第4のリード19dを介して互いに接続されている。このように構成された装置全体が、リード19の外端部分を除いて封止樹脂24により封止されて完成したMCP半導体装置となっている。

【0017】この発明のMCP半導体装置によれば、リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の側縁側から他の側縁側にまで延びていて、リードとチップとが立体交差することになり、リードの引き回しの自由度が極めて高くなり、ピン接続の自由度が向上する。また、複数の半導体素子の内

5

部電極のうちのいくつかが、ボンディングワイヤによって共通のリードに接続されているので、半導体チップの内部電極をこのリードを介して互いに接続できるので、これら内部電極間の接続部及び半導体チップ自体の信頼性が向上し、また半導体チップの隣接してない側縁上の内部電極間を相互接続することもでき、リードの引き回しの自由度が極めて高くなる。

【0018】実施例2. 図3に示す本発明のMCP半導体装置に於いては、リードフレーム25にダイパッドが無く、第1及び第2半導体素子26及び27はそれぞれ半導体装置全体を図で左右方向に貫通して延びた共通のリード19e上に絶縁層28及び29を介して搭載されている。この実施例に於いても第1の実施例と同じ効果が得られる。

【0019】実施例3. 図4及び図5（図5は図4の線B-Bに沿った断面図）に示す本発明のMCP半導体装置に於いては、リードフレーム30がダイパッド21を1つ備え、第1半導体素子11がこのダイパッド21上に取付られ、第2半導体素子32がリード19f及び19gに対して第2半導体素子32の内部電極33を有する第1主面17を対向させて絶縁体31を介して取付られ、チップ・オン・リード型の装置を構成している。リード19fはその内端が第2半導体素子32の第1主面16に絶縁体31を介して対向配置され、リード19gは第2半導体素子32の第1主面16を横切って延びている。第2半導体素子32の内部電極33はボンディングワイヤ23e及び23fにより、それぞれリード19f及び19gに接続されている。この実施例に於いても第1の実施例と同じ効果が得られる。

【0020】実施例4. 図6に示すMCP半導体装置は、MCP半導体装置を1側から他側へと横切る貫通リード19hを有するリードフレーム35を備え、第1半導体素子36及び第2半導体素子37の両者が、共にそれらの第1主面を絶縁体38及び39を介して貫通リード19hに対向させて配置されている。この実施例に於いても、第1の実施例と同様の効果が得られる。

【0021】実施例5. 図7及び図8（図8は図7の線C-Cに沿った断面図）に示す本発明のMCP半導体装置に於いては、リードフレーム40がダイパッドを持たず、第1半導体素子11の第2主面14が絶縁体41を介してリード19j上に取付られ、第2半導体素子32は図4のものと同様にリード19f及び19gに対してチップ・オン・リード型の装置を構成している。リード19fはその内端が第2半導体素子32の第1主面16に絶縁体31を介して対向配置され、リード19gは第2半導体素子32の第1主面16を横切って延びている。第2半導体素子32の内部電極33はボンディングワイヤ23e及び23fにより、それぞれリード19f及び19gに接続されている。この実施例に於いても第1の実施例と同じ効果が得られる。

6

【0022】実施例6. 図9に示す本発明の更に別の実施例のMCP半導体装置は、図7及び図8に示す実施例に更に図1に示す如きダイパッド上に搭載した半導体素子を付加した構造である。即ち、MCP半導体装置のリードフレーム45がダイパッド21を備え、第1半導体素子11がダイパッド21上に取付られてダイパッド搭載方式とされ、第2半導体素子46がリードフレーム45に対して第2主面を対向させて絶縁体41を介して取付られてチップ・オン・リード搭載方式とされ、第3半導体素子32はリードフレーム45に対して上記第1主面を対向させて絶縁体31を介して取付られてリード・オン・チップ搭載方式とされている。

【0023】実施例7. 図10及び図11（図10のD-D線に沿った断面図）に示す本発明のMCP半導体装置は、多数のリード19と2つのダイパッド21を有するリードフレーム50と、ダイパッド21上に搭載されて、それぞれ第1主面51及び第2主面52（図11）を持ち、第1主面51上に多数の内部電極53を有する略々矩形の第1半導体素子54及び第2半導体素子55とを備えている。第1及び第2半導体素子54及び55の内部電極53はリードフレーム50のリード19にボンディングワイヤ23により電氣的に接続されている。2つの半導体素子54及び55はその側縁を互いに隣接させて並べて配置されており、隣接の側縁部の内部電極53間はTABテープ56を介して互いに電氣的に接続されている。即ちポリイミド等の絶縁性テープ57上に形成されたTABリード58の両端を、2つの半導体素子54及び55の隣接側縁部上の内部電極53の上に乗せ、TAB接合により直接溶着させたものであり、ワイヤボンディングによる接続に比較して半導体素子に機械的ストレスが掛からず損傷を受けることがない。MCP半導体装置は更に、半導体素子54及び55、リード19のインナーリードに相当する部分、TABテープ56及びボンディングワイヤ23を封止する封止樹脂24を備えている。

【0024】実施例8. 図12及び図13（図12のE-E線に沿った断面図）に示すMCP半導体装置は、実施例6と同様の構成であるが、TABテープ60が両面メタライズされたものであることだけが相違している。即ち、TABテープ60は絶縁性テープ61と、絶縁性テープ61の一面だけに形成されたTABリード62と、両端部63が絶縁性テープ61の一面に形成されているが、中央部64は他面に形成され、両端部63と中央部64との間が貫通接続部65により接続されて、TABリード62と交差したTABリード66とを備えている。この実施例によれば、TABテープ60内部で交差配線をすることができ、ピン接続の自由度が更に向上する。

【0025】

【発明の効果】以上の説明から明らかな如く、本発明の

7

MCP半導体装置によれば、リードの一部が、少なくとも一つの半導体素子の主面に接触せずに半導体素子の側縁側から他の側縁側にまで延びているため、リードと半導体素子とが立体交差することになり、リードの引き回しの自由度が極めて高くなる。また、複数の半導体素子の内部電極のうちのいくつかは、ボンディングワイヤによって共通のリードに接続されているので、半導体素子の内部電極をこのリードを介して互いに接続できるので、これら内部電極間の接続部及び半導体チップ自体の信頼性が向上し、また半導体素子の隣接してない側縁上の内部電極間を相互接続することもでき、リードの引き回しの自由度が極めて高くなる。このため、リード・インダクタンスを低下させることができ、ノイズを減少できる。更に、リードを共通に使用できるので、例えば150ピンの半導体素子を2個用いたMCP半導体装置の場合には、約1割のピンを省略でき、配置が容易になり、小型になり、周辺回路の設計が容易になる。更にまた、複数の半導体素子のうち隣接する半導体素子の内部電極間をTABテープにより互いに接続しているの

【図面の簡単な説明】

【図1】本発明のMCP半導体装置の平面図である。

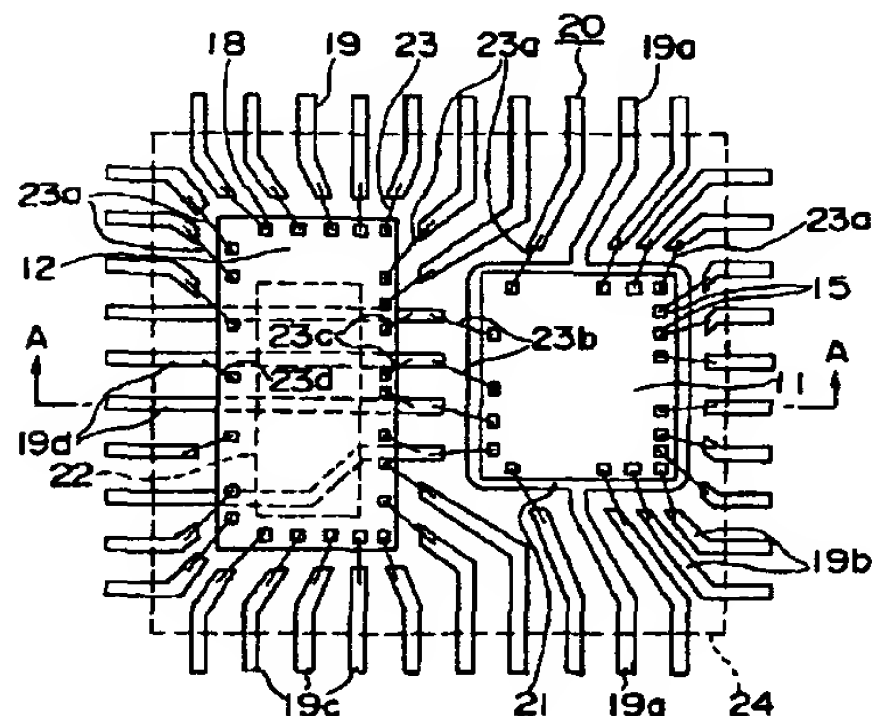
【図2】図1のA-A線に沿った断面図である。

【図3】本発明の実施例2のMCP半導体装置の平面図である。

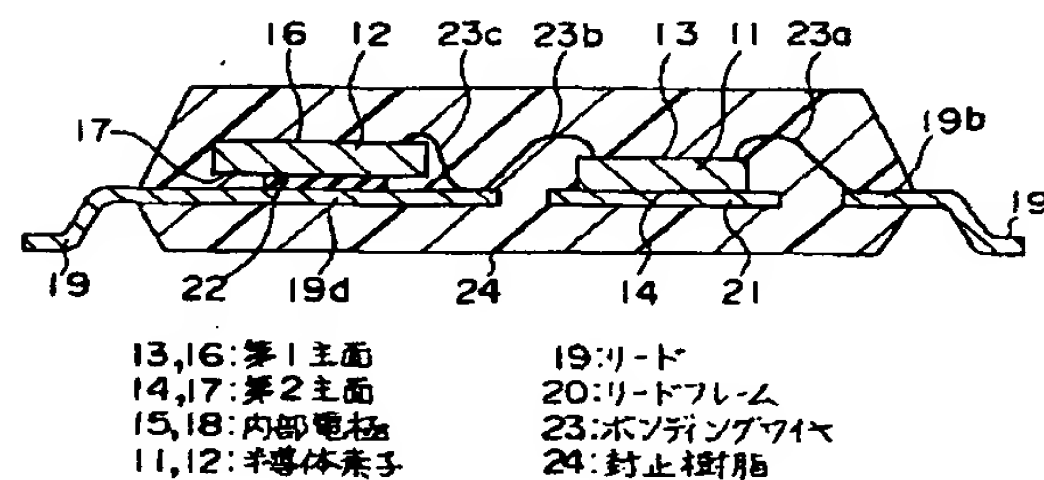
【図4】本発明の実施例3のMCP半導体装置の平面図である。

*

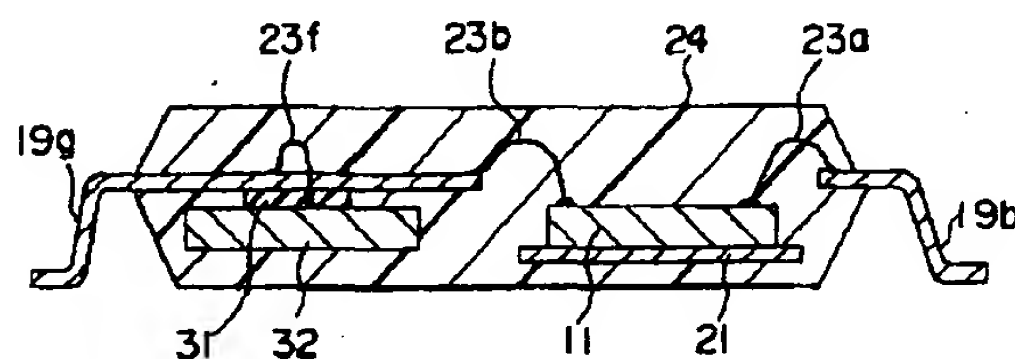
【図1】



【図2】



【図5】



8

*【図5】図4のB-B線に沿った断面図である。

【図6】本発明の実施例4のMCP半導体装置の平面図である。

【図7】本発明の実施例5のMCP半導体装置の平面図である。

【図8】図7のC-C線に沿った断面図である。

【図9】本発明の実施例6のMCP半導体装置の平面図である。

【図10】本発明の実施例7のMCP半導体装置の平面図である。

【図11】図10のD-D線に沿った断面図である。

【図12】本発明の実施例8のMCP半導体装置の平面図である。

【図13】図12のE-E線に沿った断面図である。

【図14】従来のMCP半導体装置の平面図である。

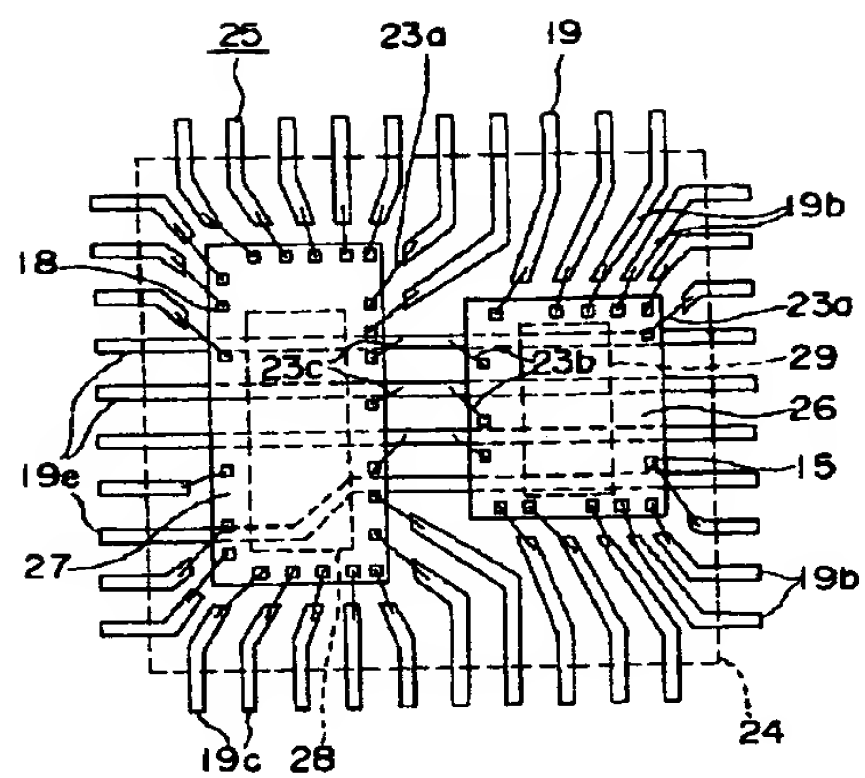
【図15】図14のX-X線に沿った断面図である。

【図16】図15の部分拡大図である。

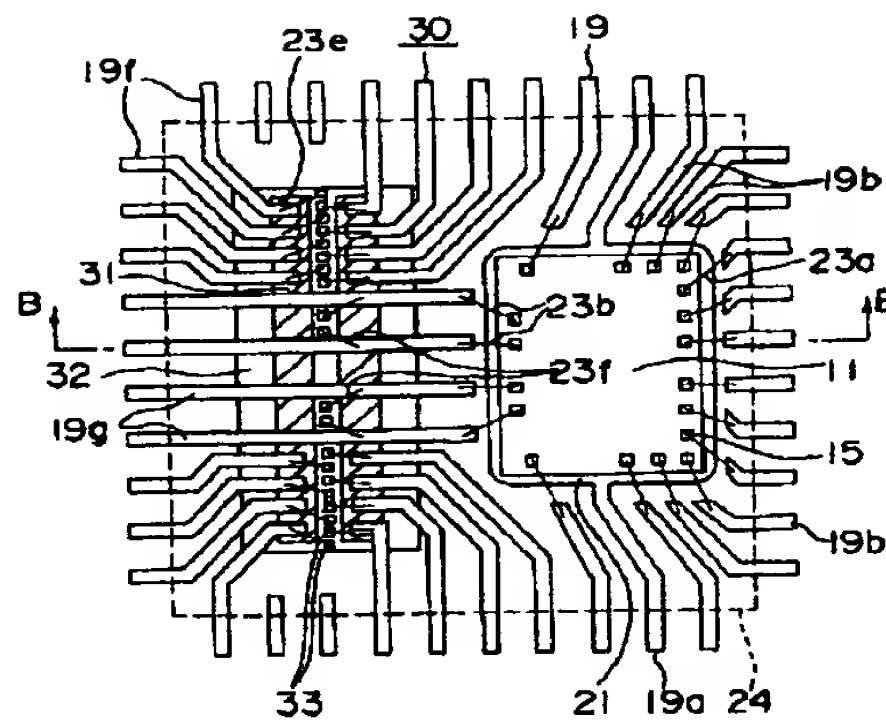
【符号の説明】

- | | |
|--------|-----------|
| 13, 16 | 第1主面 |
| 14, 17 | 第2主面 |
| 15, 18 | 内部電極 |
| 11, 12 | 半導体素子 |
| 19 | リード |
| 20 | リードフレーム |
| 23 | ボンディングワイヤ |
| 24 | 封止樹脂 |
| 56 | TABテープ |

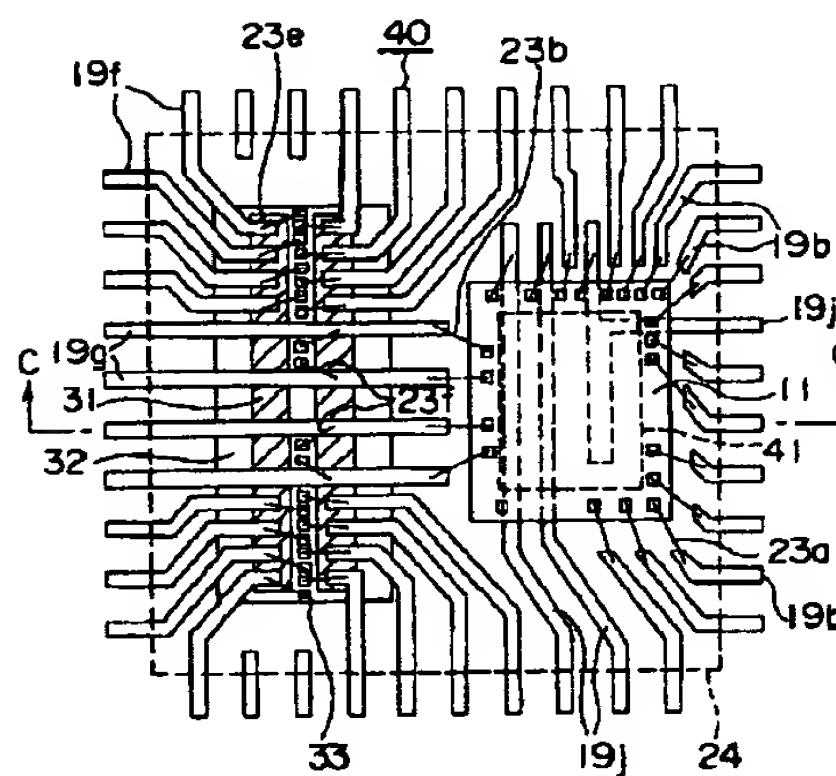
【図3】



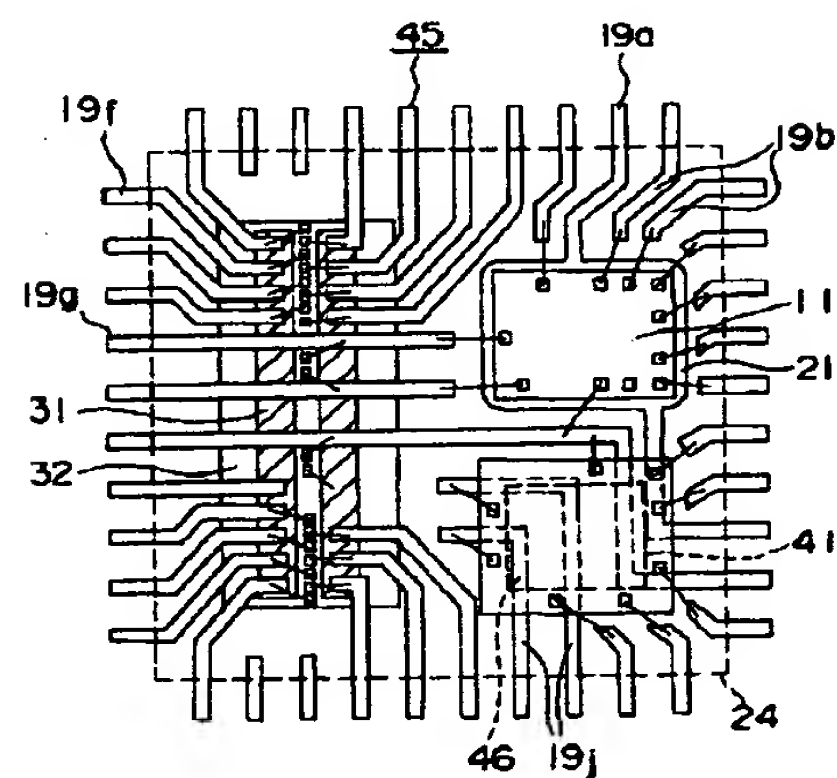
【図4】



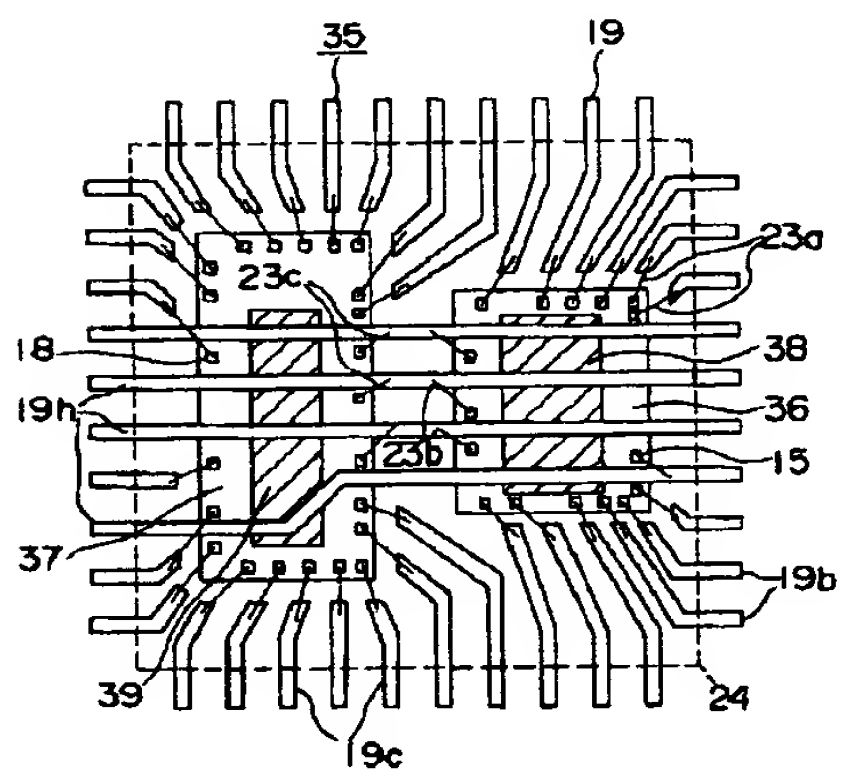
【図7】



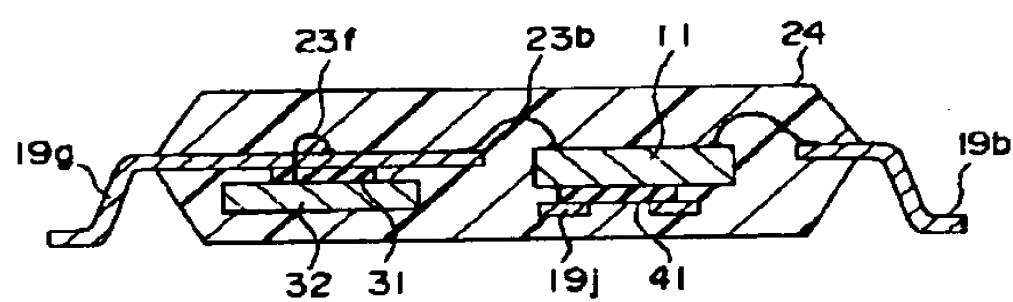
【図9】



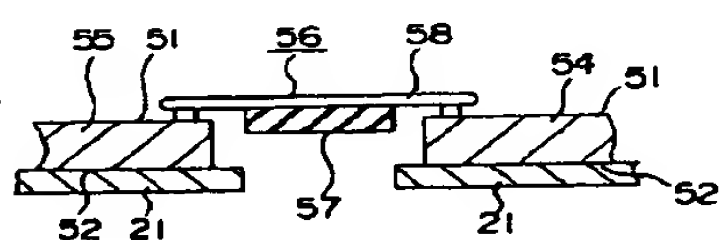
【図6】



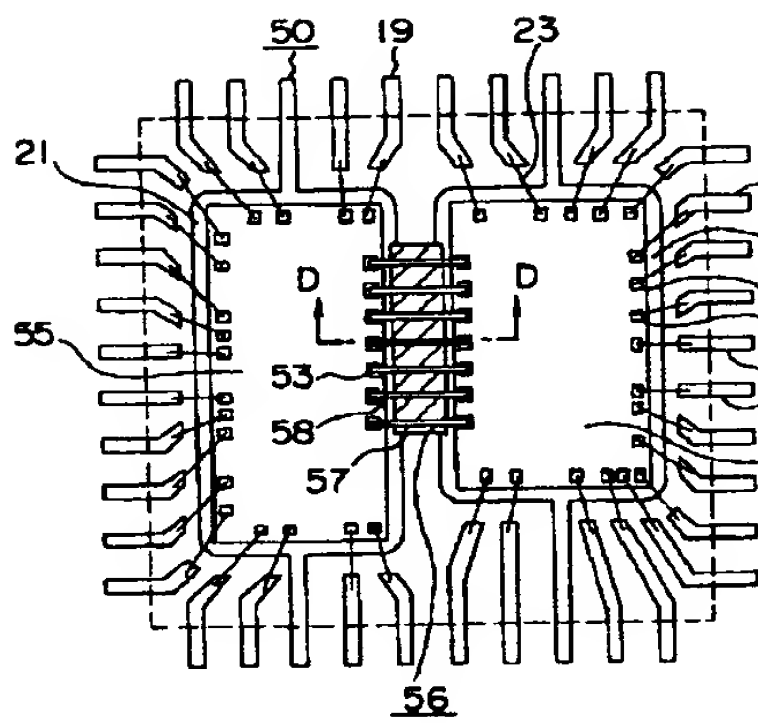
【図8】



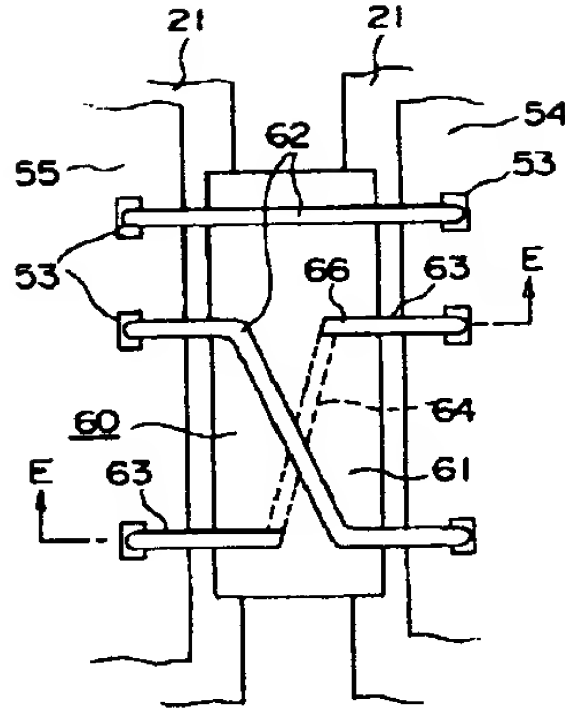
【図11】



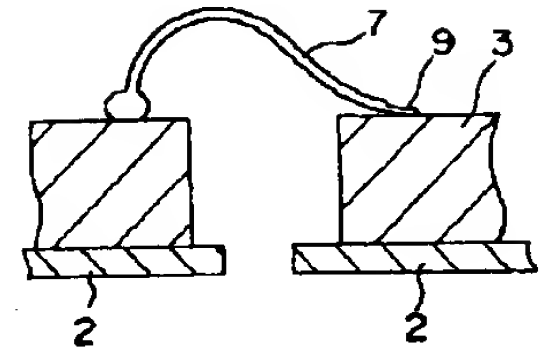
【図10】



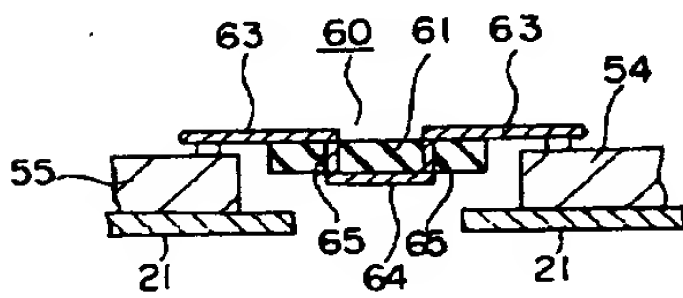
【図12】



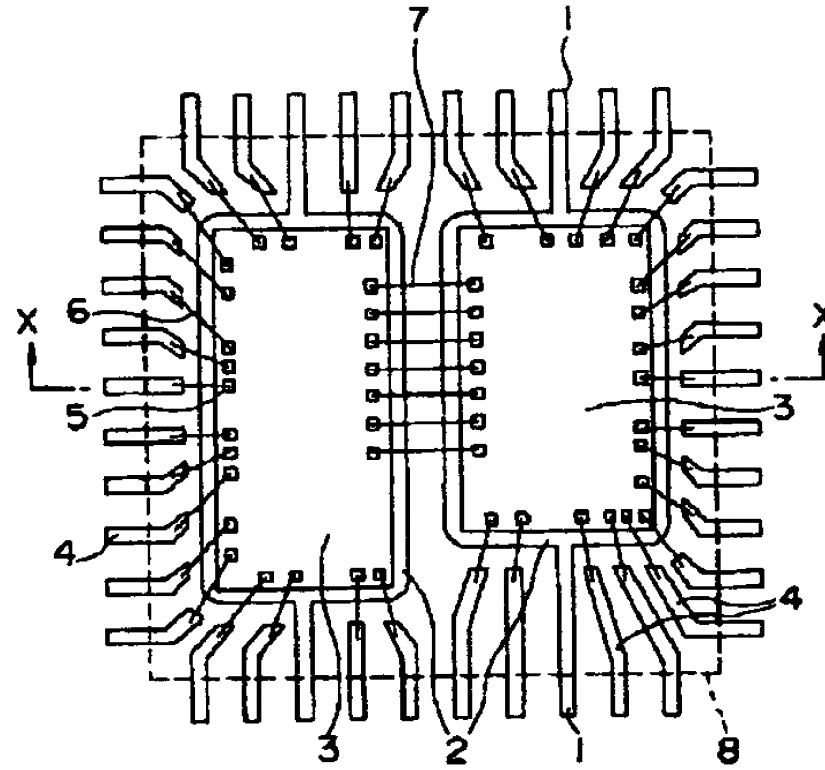
【図16】



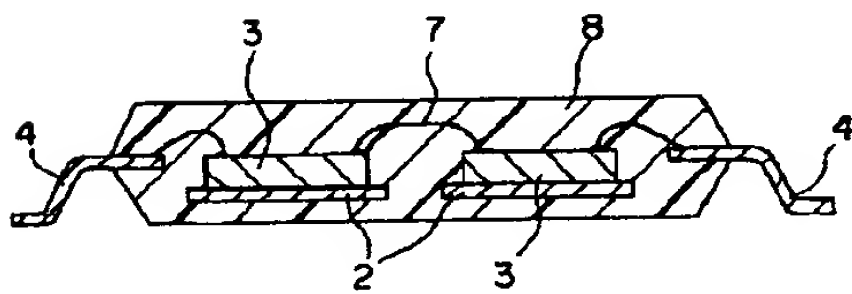
【図13】



【図14】



【図15】



フロントページの続き

(51) Int. Cl. 5

H01L 21/60

23/28

23/538

識別記号

301

庁内整理番号

A 6918-4M

A 8617-4M

F I

技術表示箇所